

## ОСНОВНЫЕ ТЕХНОЛОГИЧЕСКИЕ ОПЕРАЦИИ ИЗГОТОВЛЕНИЯ TSV

Фомичёв М.Ю.<sup>1</sup>, Иванов П.С.<sup>1,2</sup>, Беспалов В.А.<sup>1</sup>,  
Махиборода М.А.<sup>1</sup>, Гусев Е.Э.<sup>1,2</sup>, Дюжев Н.А.<sup>1</sup>

<sup>1</sup>Национальный исследовательский университет  
«Московский институт электронной техники»

<sup>2</sup>Воронежский государственный лесотехнический университет  
имени Г. Ф. Морозова

Поступила 05.11.2024

Среди всех известных методов микросборок трёхмерная микросборка с созданием сквозных канавок в кремнии является наиболее перспективной технологией, поскольку она позволяет создавать конструкции самых малых размеров, при этом обеспечивая наиболее высокую плотность межсоединений и лучшую производительность. Изготовление TSV — это ключевая технология, служащая для обеспечения связи между разными слоями 3D-интегрированной системы. Работа посвящена обзору основных технологических операций изготовления TSV: плазмохимическое травление; формирование изоляционного, барьерного и зародышевого слоёв; заполнение TSV металлом. Представлены требования, предъявляемые к технологическим процессам, основные характеристики функциональных слоёв, перечислены возможные дефекты структур. *Ключевые слова:* диэлектрический слой, барьерный слой, зародышевый слой, электрохимическое осаждение, сквозные канавки в кремнии.

DOI: 10/31145/2224-8412-2024-24-1-21-50

### Введение

Схемы интеграции по технологии создания трёхмерных интегральных схем и с использованием кремниевого интерпозера являются наиболее востребованными методами по интеграции элементов благодаря таким достоинствам, как малое энергопотребление, компактность и большая функциональная плотность [1–4]. Для построения микросборок необходимы такие технологии, как создание TSV, утонение, бондинг и дебондинг. Также в этот

перечень входит технология временного бондинга, которая в настоящее время продолжает активно развиваться [5, 6]. Технологическую операцию создания TSV можно рассматривать как ключевую в технологии трёхмерной интеграции элементов.

Технологический процесс изготовления интегральных схем можно условно разбить на три основных этапа: 1) начальные операции обработки полупроводниковых пластин (формирование транзисторной структуры, FEOL); 2) средние (промежуточные) этапы обработки, такие как формирование TSV, утонение, временный бондинг (для технологии двухмерной мульти интеграции и трёхмерной интеграции, MEOL); 3) завершающие операции обработки полупроводниковых пластин, включающие металлизацию (BEOL).

В зависимости от маршрута микросборки можно выделить три схемы интеграции по технологии TSV. В случае, когда TSV формируют перед процессами КМОП, такой подход называется *Via First*. В случае подхода *Via Middle* после формирования TSV-структур выполняются только процессы BEOL. Третья схема, в которой создание TSV происходит по завершении всех процессов КМОП, называется *Via Last*. К схеме *Via Last* также можно отнести сценарий под названием *via after bonding*, когда TSV формируются на последнем этапе, после бондинга двух пластин или кристаллов друг с другом сторонами с полностью сформированной электроникой.

Выбор схемы интеграции зависит от применения конечного изготавливаемого устройства. В настоящее время технология TSV уже была разработана и адаптирована для множества применений, таких как МЭМС, мобильные телефоны, КМОП-датчики изображений, биомедицинские системы и устройства памяти. Соответственно, был проведен ряд исследований по изготовлению TSV. Однако в настоящее время технология TSV в 3D-ИС и некоторых наиболее продвинутых схемах сборки ещё не окончательно реализована из-за сохранения относительно высокой стоимости изготовления [7, 8]. В обзоре рассматриваются наиболее важные аспекты изготовления TSV и связанные с ними возможные дефекты. К процессам изготовления TSV относится образование отверстий методом глубокого реактивно-ионного травления, нанесение диэлектрического, барьерного и зародышевого (затравочного) слоёв, заполнение отверстий, химико-механическая полировка и отжиг меди. Детальное описание каждого процесса будет представлено далее.

### **3.1. Формирование TSV**

Широко используемое в микроэлектронике глубокое плазмохимическое травление кремния, или Bosch процесс является наиболее предпочтительным для изготовления TSV-структур. Bosch процесс имеет высокую ско-

рость травления в 5–10 мкм/мин, селективность по фоторезисту от 50 до 100 и по оксидной маске от 50 до 200. Процесс состоит из следующих шагов:

- (1) травление кремния с использованием в качестве травителя газа SF<sub>6</sub>;
- (2) создание пассивирующей пленки с помощью газа C<sub>4</sub>F<sub>8</sub> для предотвращения бокового подтравки кремния во время выполнения следующего этапа;
- (3) травление пассивации и слоя кремния в плазме SF<sub>6</sub> с использованием направленной ионной бомбардировки для обеспечения большой глубины. Затем пассивирующий слой удаляется плазмой O<sub>2</sub> и Ar.

На рис. 3.1 показаны структуры TSV диаметром 10 мкм, полученные с помощью Bosch процесса. Однако процесс травления неизбежно создает шероховатость боковых стенок. С увеличением шероховатости снижается равномерность плёнки при последующем осаждении. Это приводит к проблеме утечки тока. Уменьшение степени шероховатости боковых стенок при травлении TSV достигается за счёт подбора длительности процессов травления и пассивации газами во время операции Bosch процесса [11]. Зазубрины на боковых стенках отверстий влияют на качество их покрытия диэлектрическим, барьерным и затравочным слоями, увеличивают количество и размер пустот в TSV. В связи с этим, для проведения качественного Bosch процесса важно обеспечить уменьшение шероховатости поверхностей так, чтобы ребристость боковых стенок была сведена к минимуму; это требование становится ещё более жестким по мере уменьшения размеров TSV [12-15].

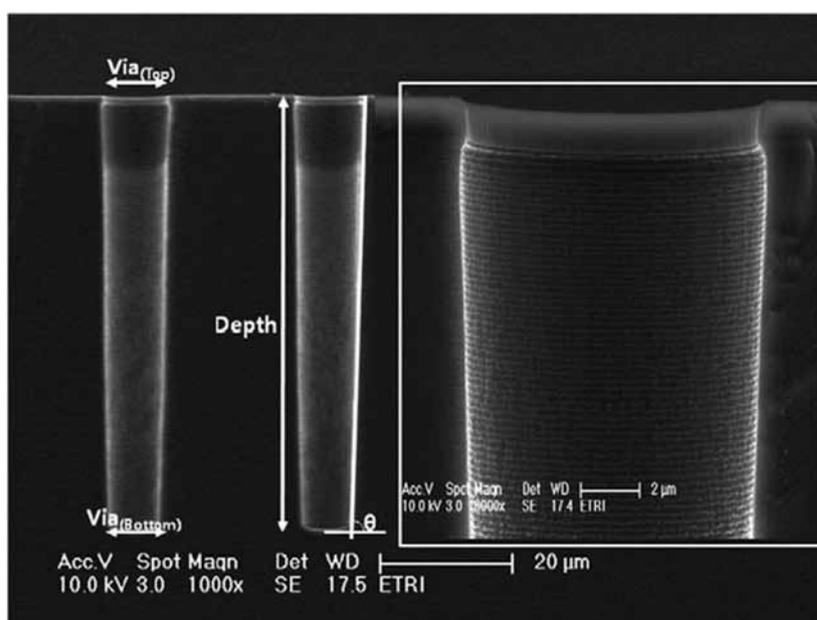


Рис. 3.1. Отверстия диаметром 10 мкм [9, 10].  
полученные в результате проведения Bosch процесса в кремниевой пластине

Изготавливаемые TSV могут иметь различные размеры, обусловленные как функциональным назначением конечного устройства, так и предъявляемыми к нему техническими требованиями: мощность, температурный режим работы, массогабаритные показатели, плотность компоновки. На рис. 3.2 показаны результаты работ исследователей с различными параметрами глубины и диаметра TSV.

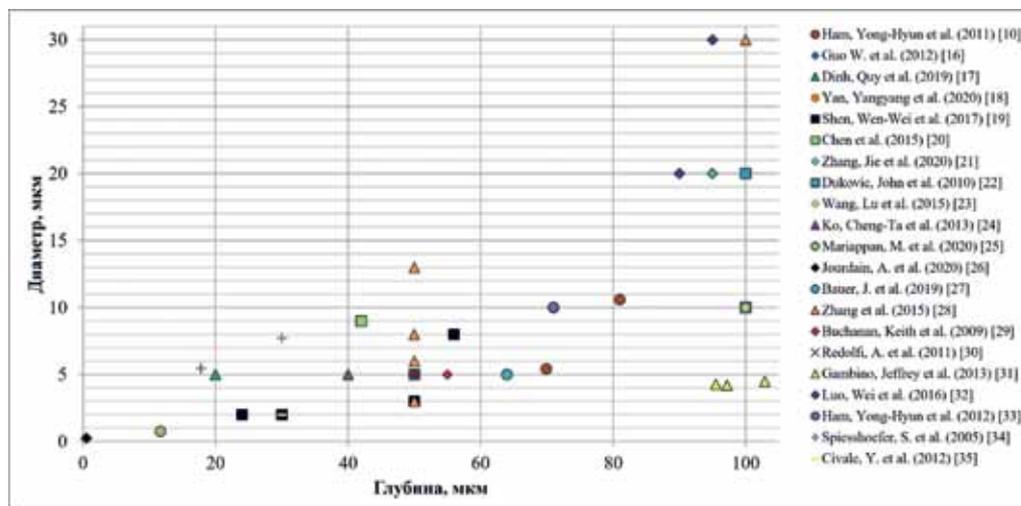


Рис. 3.2. Размеры TSV из различных работ.

### 3.2. Формирование диэлектрического слоя

Перед заполнением TSV металлом необходимо создать диэлектрический слой для достаточной электрической изоляции кремниевой пластины. К диэлектрическому слою предъявляются следующие технологические требования: хорошее качество покрытия и однородность, отсутствие токов утечки, низкие внутренние напряжения, высокое напряжение пробоя и ограничения максимальной температуры операции формирования диэлектрика для разных схем интеграции TSV [36]. В качестве диэлектрического слоя, как правило, используется SiO<sub>2</sub> или Si<sub>3</sub>N<sub>4</sub> при химическом осаждении из паровой фазы с плазменным усилением (PECVD) или субатмосферном химическом осаждении из паровой фазы (SACVD) для TSV. Однако, когда диаметр TSV меньше 3 мкм, диэлектрический слой целесообразно наносить методом атомно-слоевого осаждения (ALD). По сравнению с другими существующими процессами осаждения технология ALD имеет ряд преимуществ: более низкая температура процесса, лучшая равномерность покрытия, хорошая масштабируемость, сокращение времени операции ХМП благодаря образованию более тонкого диэлектрического слоя, и при этом отсутствие требований к подготовке поверхности перед осаждением диэлектрика. На рис. 3.3 показано конформное покрытие диэлектрическим оксидным слоем TSV-отверстия с размерами 3 × 50 мкм методом ALD; толщина оксидного слоя

на боковой стенке и дне составляет приблизительно 95 нм [37]. Поскольку соотношение сторон, или Aspect Ratio (AR) равно 17, можно утверждать, что на данном рисунке продемонстрирован отличный результат осаждения диэлектрического слоя для применений TSV в микросистемной технике.

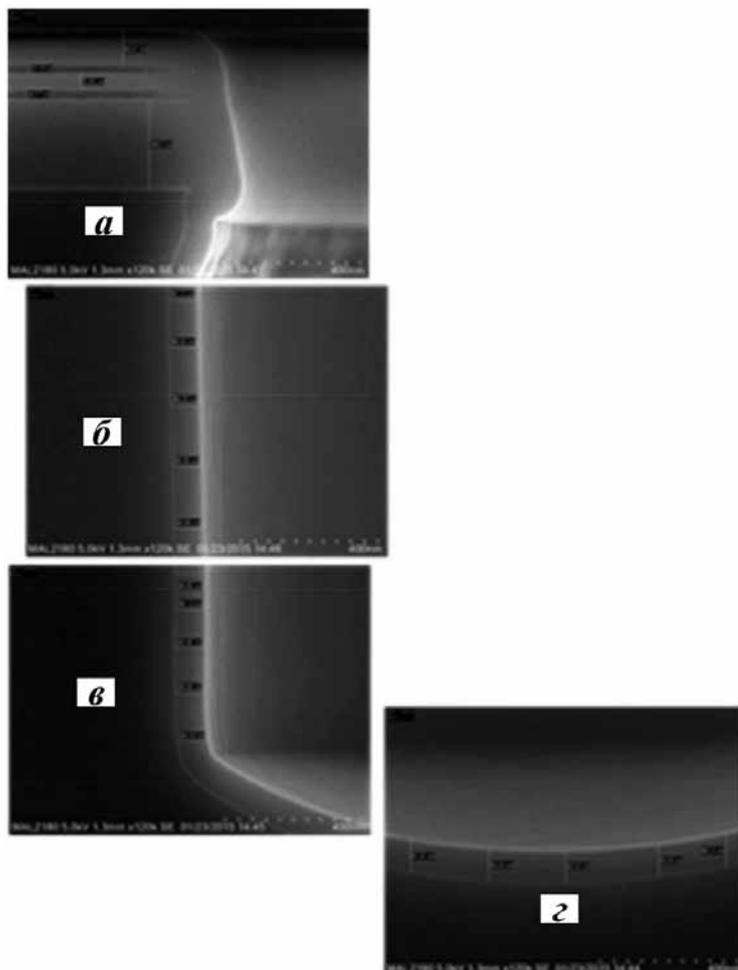


Рис. 3.3. РЭМ-изображения поперечного сечения TSV с размерами  $3 \times 50$  мкм после осаждения диэлектрического оксидного слоя методом ALD: *а-г*: пленка толщиной 91-95 нм внутри TSV. [37]

В результате, критериями оценки [37] качества ближайшего к Si диэлектрического слоя являются конформность, однородность, отсутствие токов утечки, воспроизводимость процесса при низкой температуре осаждения [38–40].

### 3.3. Формирование барьерного и зародышевого слоёв

После осаждения диэлектрического слоя необходимо сформировать барьерный слой для предотвращения диффузии атомов Cu из заполненных медью TSV во время отжига, для которого требуется температура 400 °C.

Кроме того, барьерный слой действует как адгезив между слоем диэлектрика и слоем меди. Распространёнными барьерными материалами являются Ti, Ta, TiN и TaN. В качестве методов их нанесения применяется вакуумное напыление (PVD), химическое газофазное осаждение (CVD) или атомное слоевое осаждение (ALD) в зависимости от размеров изготавливаемых TSV. Металлические барьерные слои, такие как Ta и Ti, осаждаются методом PVD. Преимущество этого подхода заключается в низкой температуре, которая требуется для проведения процесса. Однако при высоких соотношениях сторон TSV ( $>10:1$ ) можно получить плохое покрытие [41]. Поэтому, приходится осаждать более толстый металлический барьерный слой, что увеличивает стоимость производства. Барьерные слои из TiN или TaN могут быть нанесены методом CVD, который имеет преимущество в качестве однородности покрытия, но осуществляется, при помощи, как правило, высокотемпературных реакций.

В следующем процессе затравка из меди осаждается в TSV обычно с помощью метода PVD. В исследовании, проведённом центром IMEC [35], при использовании ALD TiN в качестве барьерного слоя была достигнута однородность металлизации TSV размерами  $2 \times 30$  мкм приблизительно в 80 % (соотношение сторон равнялось 15). Затем было проведено осаждение непрерывного и высококонформного щелочного затравочного слоя на боковые стенки и дно TSV (рис. 3.4).

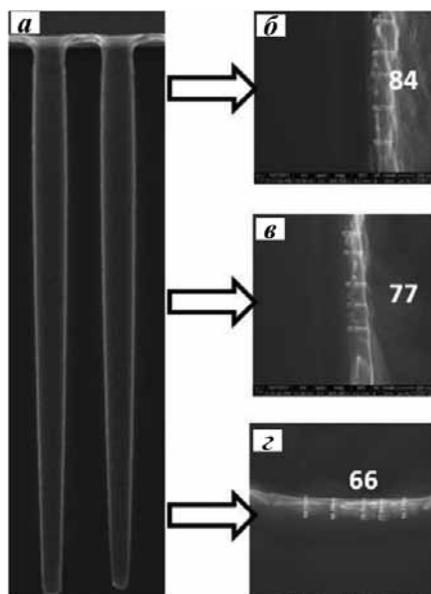


Рис. 3.4. РЭМ-снимки поперечного сечения TSV с размерами  $2 \times 30$  мкм, сделанные после щелочного осаждения меди и перед электрохимическим осаждением (ЭХО или ECD):  
*a* — общий вид, *б* — верх, *в* — середина, *г* — нижняя часть TSV [35].

В результате заполняют TSV медью без пустот по всей пластине. В этом маршруте щелочное нанесение зародышевого слоя меди может быть успешно заменено её осаждением методом PVD, выполняемым перед гальваническим заполнением TSV снизу вверх.

При формировании TSV после операций BEOL важно соблюдать ограничения максимальных температур, применяемых в соответствующих процессах. Поэтому для изготовления TSV с высокими аспектными соотношениями можно выполнять «полностью жидкостный» набор процессов низкотемпературного электрохимического осаждения как барьерного, так и медного зародышевого слоёв. Гальваническое осаждение Co-W-B и Cu в качестве барьерного/зародышевого слоёв достигается использованием наночастиц Au или Pd в качестве катализатора [42–44]. На рис. 3.5 показано изображение TSV после адсорбции наночастиц Pd при комнатной температуре в течение 3 ч. Наночастицы Pd равномерно осаждаются по всему TSV с размерами  $2 \times 24$  мкм, и без образования их скоплений. Результаты процесса ЭХО Cu/Co-W-B (рис. 3.6) достигнуты за счёт применения наночастиц Pd в качестве катализатора по всему TSV.

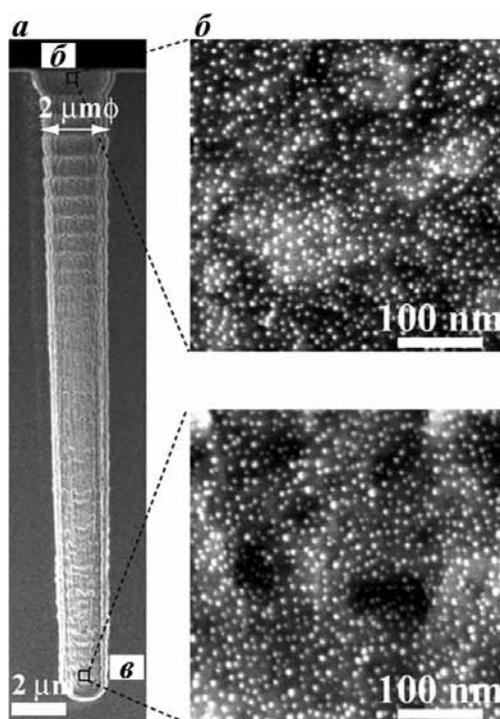


Рис. 3.5. РЭМ-снимки поперечного сечения TSV ( $2 \times 24$  мкм) после адсорбции наночастиц Pd на его стенках:  
*a* — общий вид; *б* — верх; *в* — низ TSV [43].

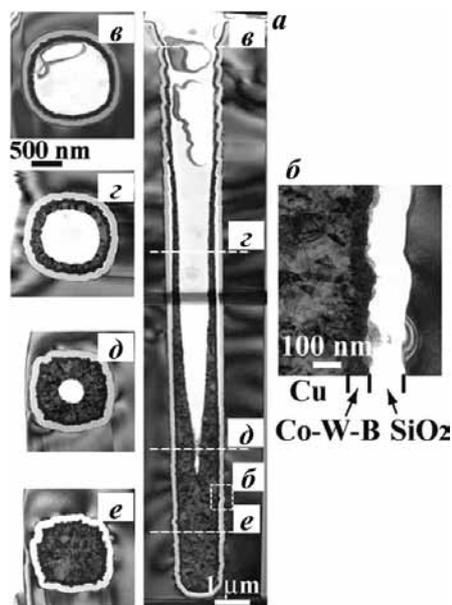


Рис. 3.6. РЭМ-снимки электрохимически осаждённого слоя Cu / Co-W-B: *а* — общий вид, *б* — вертикальное сечение боковой стенки *в-е*: горизонтальные сечения на различной глубине [43].

Даже несмотря на наличие зазубрин на стенках TSV, удалось успешно сформировать на них непрерывную и однородную пленку Co-W-B толщиной 60 нм при 60 °С. Затем при 70 °С гальваническая медь осаждается на слой Co-W-B. Диффузия ингибиторов в нижней части TSV меньше, чем в верхней; следовательно, затравочный слой меди, образующийся при электролитическом осаждении, толще в нижней части TSV, чем в верхней. Несмотря на то, что полностью жидкостные процессы нанесения барьерного и затравочного слоёв обеспечивают применение низких температур обработки, необходимы дополнительные эксперименты, чтобы доказать их надёжность.

Таким образом, критериями оценки качества барьерного и зародышевого слоёв являются конформность, однородность, а также воспроизводимость процесса при низкой температуре осаждения [29, 45–47].

### 3.4. Заполнение TSV

Существуют три метода заполнения TSV: конформное покрытие [48, 49], размещение шариков припоя (бампов) с заполнением снизу вверх [50, 51], и суперконформное покрытие [52–56]. Метод нанесения покрытия выбирается в зависимости от конкретного применения микросборки. Как правило, TSV имеют форму цилиндра с глубиной от 10 до 200 мкм. Глубина TSV зависит от толщины кристалла или пластины в сборке, аспектное отношение определяется в процессах изготовления диэлектрического/ба-

рьерного/зародышевого/заполняющего слоёв. Несмотря на то, что существует множество различных геометрий TSV для применения в 2,5D и 3D интеграции, их можно свести к трем общим типам (табл. 3.1) [57].

**Таблица 3.1.** Основные типы TSV

Применение	Заполнение	Глубина	Диаметр	Аспектное соотношение
Фотоматрицы	Конформное	50 — 100	30 — 50	1 — 3
Интерпозеры	Полное	50 — 150	20 — 30	4 — 8
Устройства	Полное	20 — 60	2 — 10	5 — 15

### 3.5. Конформное заполнение

Конформное покрытие медью аналогично нанесению рисунка медью для слоев RDL или разводки на уровне пластины с применением резистивных масок; такое нанесение меди частично подходит для TSV с низким аспектным соотношением. Если взять в качестве примера фотоматрицу, основные технологические этапы процесса изготовления TSV можно увидеть на рис. 3.7; к ним относится фотолитография (ФЛГ) для транслирования позиции металлизации с передней стороны на заднюю, глубокое реактивно-ионное травление кремния для достижения контакта с металлическим слоем КМОП, формирование оксида для изоляции, осаждение барьерного и затравочного слоев методом PVD, и, наконец, нанесение конформного медного покрытия для металлизации [58].

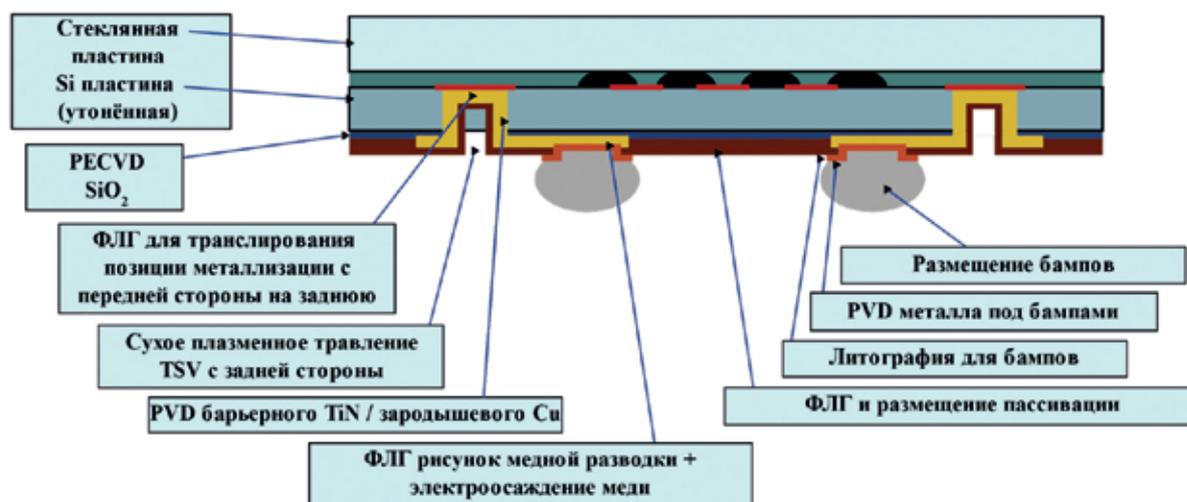


Рис.3.7. Поперечное сечение фотоматрицы с TSV [58].

Медь толщиной от 5 до 10 мкм выращивается в структуре резистивной маски, образуя топологию TSV и схемы разводки на поверхности кремния (рис. 3.8) [48].

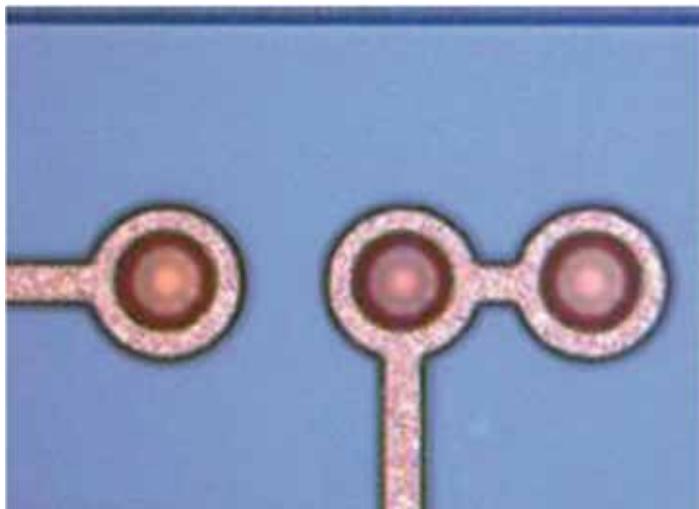


Рис.3.8. Оптическое изображение TSV после электрохимического осаждения Cu и травления зародышевого слоя [48].

На рис. 3.9 показаны снимки поперечных сечений отверстий с различными соотношениями сторон (AR от 1 до 5) после выполнения этапов формирования конформного медного покрытия. Однако, их применение ограничено AR, равным трём, из-за появляющегося прерывания затравочного слоя Cu [49].

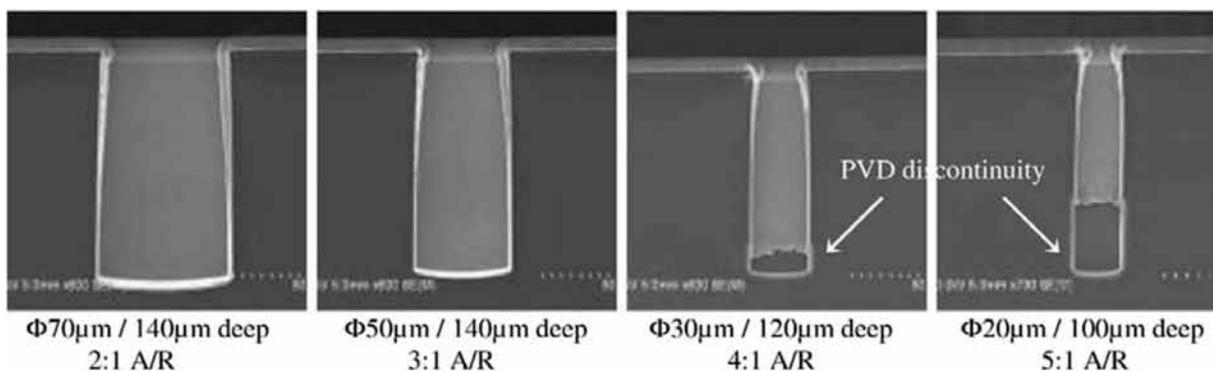


Рис. 3.9. Поперечные сечения TSV с различными соотношениями сторон после нанесения барьера/затравки и конформного покрытия Cu [49]

### 3.6. Герметизация микробампами и заполнение TSV снизу вверх

Одним из преимуществ подхода *via last* в виде формирования TSV после изготовления транзисторов и металлизации является возможность минимизировать пустоты или швы внутри TSV [59, 60]. Как правило, для выполнения такого процесса заполнения TSV с затравочным слоем меди требуется технология временного бондинга. Операция удаления пластины-носителя или прикреплённого металла может привести к дополнительным затратам и проблемам с надёжностью. Поэтому был предложен новый подход «снизу-вверх», заключающийся в предварительном размещении бампов перед электрохимическим процессом металлизации TSV, как показано на рис. 3.10 [51]. Контроль на оптическом микроскопе, РЭМ, а также рентгеновский анализ позволяет скорректировать параметры технологического процесса для минимизации дефектов после нанесения покрытия «снизу вверх» (рис. 3.11). При таком варианте изготовления TSV структур с микробампами заполнение отверстий металлом осуществляется всего за один этап, что упрощает производственный процесс и позволяет применять его для трехмерной интеграции по подходу *via last*.

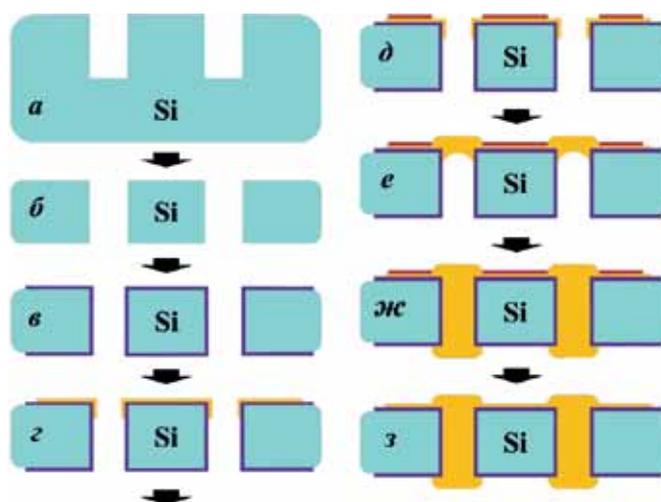


Рис.3.10. Технологический процесс заполнения отверстий медью снизу вверх с формированием бампов:  
*a* — травление TSV; *б* — утонение;  
*в* — формирование оксидной изоляции;  
*г* — осаждение затравочного слоя; *д* — формирование фоторезистивной маски; *е* — закупоривание отверстий микробампами;  
*ж* — заполнение TSV металлом, начиная с микробампов;  
*з* — удаление фоторезиста

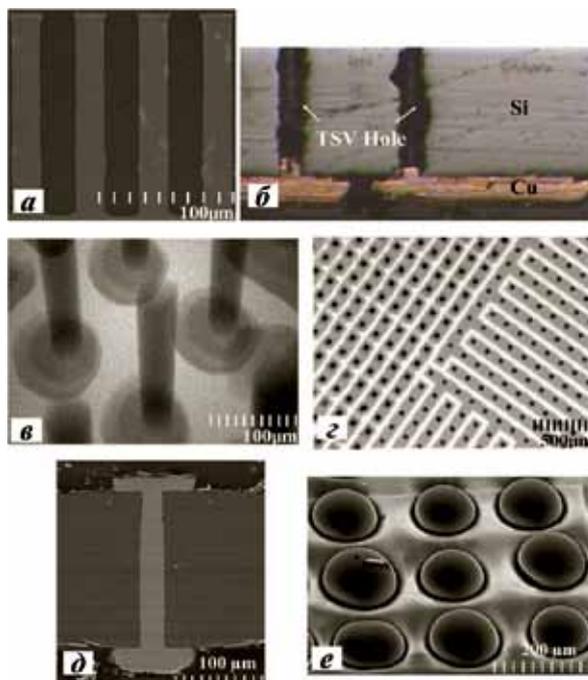


Рис.3.11. РЭМ-снимки TSV:

- a* — профиль сухого травления TSV глубиной 25 мкм;
- б* — герметизация TSV микробампами перед заполнением;
- в* — рентгенологический контроль TSV, заполненных без пустот;
- г* — область Cu в TSV в виде чёрных точек; белая область — оксид кремния; область серого цвета — металлические линии;
- д* — поперечное сечение TSV с медными выступами с обеих сторон;
- е* — готовые TSV с медными бампами [51]

### 3.7. Суперконформное заполнение

Суперконформное заполнение медью адаптировано для широкого круга применений — от некоторых технологий, близких к процессу damascene, до изготовления интерпозеров и целых устройств. Основным требованием, предъявляемым к такому заполнению, является отсутствие швов или пустот внутри TSV, обнаруживаемых с помощью рентгеновского анализа, который проводят после того, как медь с поверхности и барьерный слой будут удалены методом химико-механической полировки. На рис. 3.12 показан механизм заполнения TSV, включающий характеристики рецепта и свойства органических добавок [61]. При выполнении стандартного гальванического осаждения постоянным током часто возникает проблема, изображенная на рис. 3.12, *a*. В связи с этим, подбор параметров рецепта нанесения покрытия является важным фактором для обеспечения качественного заполнения TSV.

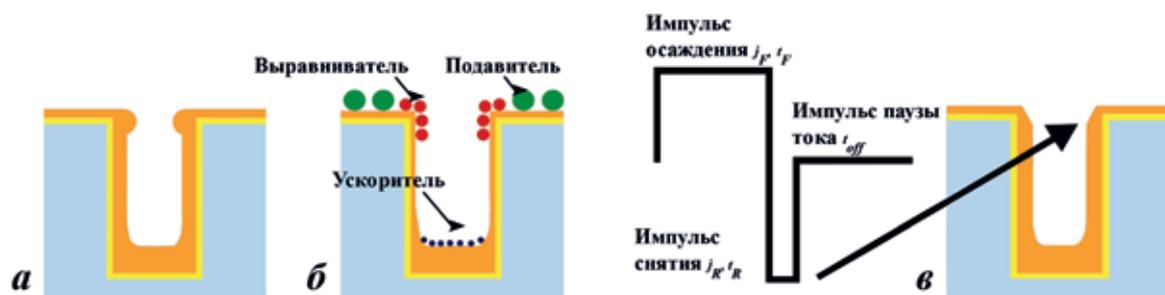


Рис.3.12. Принцип суперконформного покрытия TSV медью:

*a* — не оптимизированное покрытие постоянным током,

*б* — аддитивный подход,

*в* — форма волны импульсного реверсивного тока [61].

В химической ванне для заполнения TSV, как правило, используются три добавки, включающие подавитель (suppressor), ускоритель (accelerator) и выравниватель (leveler) [62–66]. Медленно диффундирующий и быстро адсорбирующийся подавитель, такой как полиэтиленгликоль (ПЭГ), адсорбируется преимущественно на плоской поверхности. Быстро распространяющийся ускоритель, такой как бис-(3-сульфопропил)-дисульфид (SPS), проникает в отверстия и увеличивает скорость осаждения. Медленно диффундирующий выравниватель, такой как Janus Green B (JGB), может деактивировать ускоритель и распределяться у краёв. Результаты осаждения с использованием различных добавок показаны на рис. 3.12, *б*. Для предотвращения преждевременного закрытия отверстий TSV при заполнении медью применяется импульсный реверсивный ток. Рецепт такого нанесения включает в себя четыре параметра: время обратного импульса ( $t_R$ ), время паузы ( $t_{off}$ ), время прямого импульса ( $t_F$ ), и соответствующие плотности тока ( $j_F, j_R$ ), как показано на рис. 3.12, *в* [67, 68].

Кроме того, была предложена трёхступенчатая форма волны тока для сокращения времени заполнения и уменьшения количества дефектов в заполненном TSV [69]. Результат процесса заполнения медью изображен на рис.3.13, где показаны массивы TSV размером  $8 \times 56$  мкм после 5, 10, 15 и 20 минут заполнения Cu в полиэфирной супрессорной системе. Безпустотное заполнение наблюдается через 20 минут [70]. Однако заполнение TSV с высоким аспектным отношением (диаметра к ширине стенок) занимает довольно много времени из-за применения импульсного обратного тока, который оставляет ионы меди на боковых стенках отверстий. Таким образом, необходимо сокращать время заполнения TSV для трёхмерной интеграции. Известны четыре разновидности подходов оптимизации и повышения эффективности заполнения, которые включают в себя оптимизацию положения анода, заполнение TSV в несколько этапов, изменение концентрации до-

бавок и оптимизацию плотности тока осаждения [71]. На следующем шаге используется ХМП для удаления внешнего слоя меди, а также барьерного слоя с поверхности пластины. Как правило, эта технология требует выполнения двух шагов. Сначала происходит удаление толстого слоя Cu с углублениями или выступами после заполнения TSV, и оно останавливается на барьерном слое. На втором шаге удаляют барьерный слой, останавливаясь на слое диэлектрика. Для обеспечения хорошей изоляции, минимизации рельефа и избегания появления возможных дефектов используются различные суспензии, обладающие селективностью [72].

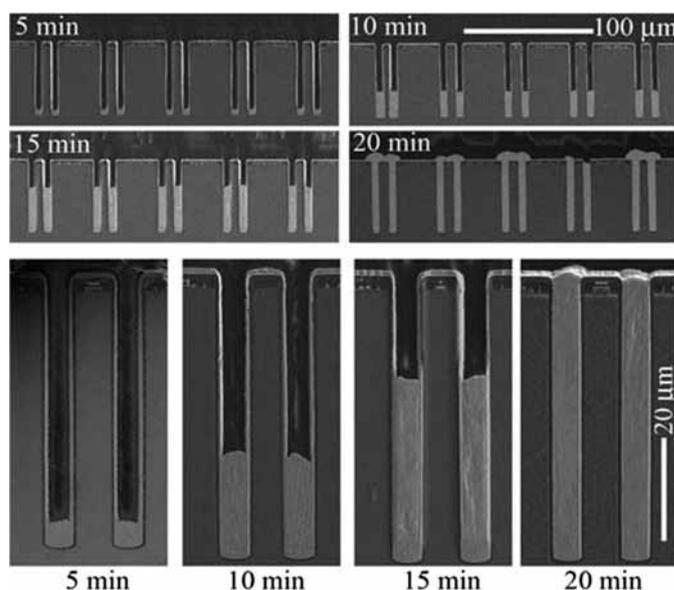


Рис.3.13. РЭМ-снимки поперечных сечений TSV в течение времени процесса [70].

Таким образом, для формирования качественной металлизации TSV необходимо обеспечить заполнение отверстий без пустот и прерываний [73–75].

### 3.8. Отжиг меди в TSV

Проблемы термомеханической надёжности являются очень важными, поскольку во время проведения последующих процессов формирования RDL, размещения бампов и многослойной сборки пластины подвержены повторяющимся термическим нагрузкам, которые могут стать причиной накопления термомеханических напряжений. Они, в свою очередь, могут стать результатом появления таких критических проблем, как расслоение и образование пустот, если напряжения не будут в достаточной степени уменьшены за счёт выполнения процесса отжига после заполнения TSV медью. Ещё одной проблемой является расширение металла в TSV из-за различий коэффициентов теплового расширения кремниевой пластины и материала

заполнения TSV, что может вызвать растрескивание диэлектрического слоя [76–79].

Таким образом, чтобы уменьшить количество внутренних напряжений в кремнии, после выполнения процесса гальванического осаждения необходимо проводить предварительный отжиг TSV. Коэффициент теплового расширения меди равен  $17,6 \times 10^{-6} / ^\circ\text{C}$ , что выше, чем у Si, КТР которого равен  $2,6 \times 10^{-6} / ^\circ\text{C}$ . Вследствие этого во время отжига может наблюдаться экструзия или выпячивание металла из TSV [80, 81].

На ряде образцов, подвергнутых процессам отжига при разных условиях, было исследовано влияние температуры отжига на конечный результат. На рис. 3.14 представлены РЭМ-снимки различных форм выступов из TSV размерами  $5 \times 50$  мкм, обусловленных отжигом в течение 30 минут при разных температурах в диапазоне от 250 до 450 °С. При температуры отжига в 350 °С медь начинает выступать. При 450 °С медь вздувается. Этот процесс имеет два возможных механизма. Первый механизм — это пластическая деформация материала Си, который во время отжига расширяется в вертикальном направлении. Второй механизм связан с диффузионной ползучестью, когда распределение напряжений в TSV не является равномерным [82]. На степень выступания металла из TSV кроме температуры отжига также влияют выбор материалов и толщина слоёв барьера и изоляции.

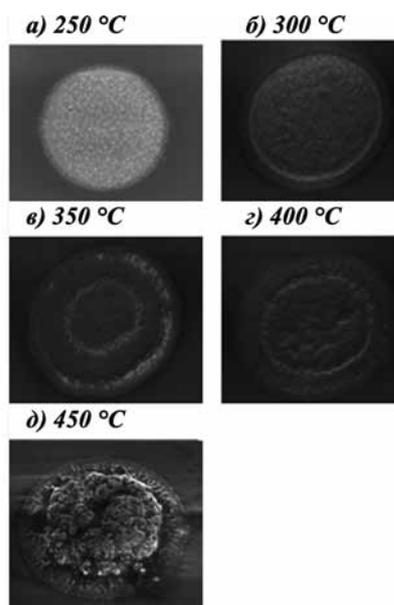


Рис.3.14. РЭМ-снимки TSV, показывающие степень выступания меди вследствие отжига при температурах от 250 до 450 °С (вид сверху) [82].

Температура отжига должна быть достаточной для устранения внутренних напряжений в TSV; в то же время подбор условий отжига ограничивается максимальными температурами, не влияющими губительно на сфор-

мированную электронику. В маршруте изготовления TSV, разработанном в центре IMEC, для отжига применяется температура в 420 °С в течение 20 мин [83].

После проведения процесса отжига применяется ХМП для удаления медных выступов и для открытия TSV с обратной стороны пластины.

### 3.9. Виды дефектов

Можно выделить три разновидности дефектов, появляющихся при изготовлении TSV: дефекты, связанные с травлением Si, дефекты, связанные с формированием затравочного слоя Cu, и, наконец, дефекты, связанные с гальваническим покрытием Cu [84].

Как уже упоминалось ранее, поскольку TSV формируют сухим способом травления с использованием Bosch процесса, существует несколько возможных дефектов, связанных с травлением Si; они могут приводить к таким видам недостатков затравочного слоя Cu, как локальное отсутствие покрытия, шероховатость поверхности или образование губчатых структур (рис. 3.15). Проблемы, возникающие при проведении операций изготовления TSV, проявляются в виде пустот после гальванического покрытия медью.

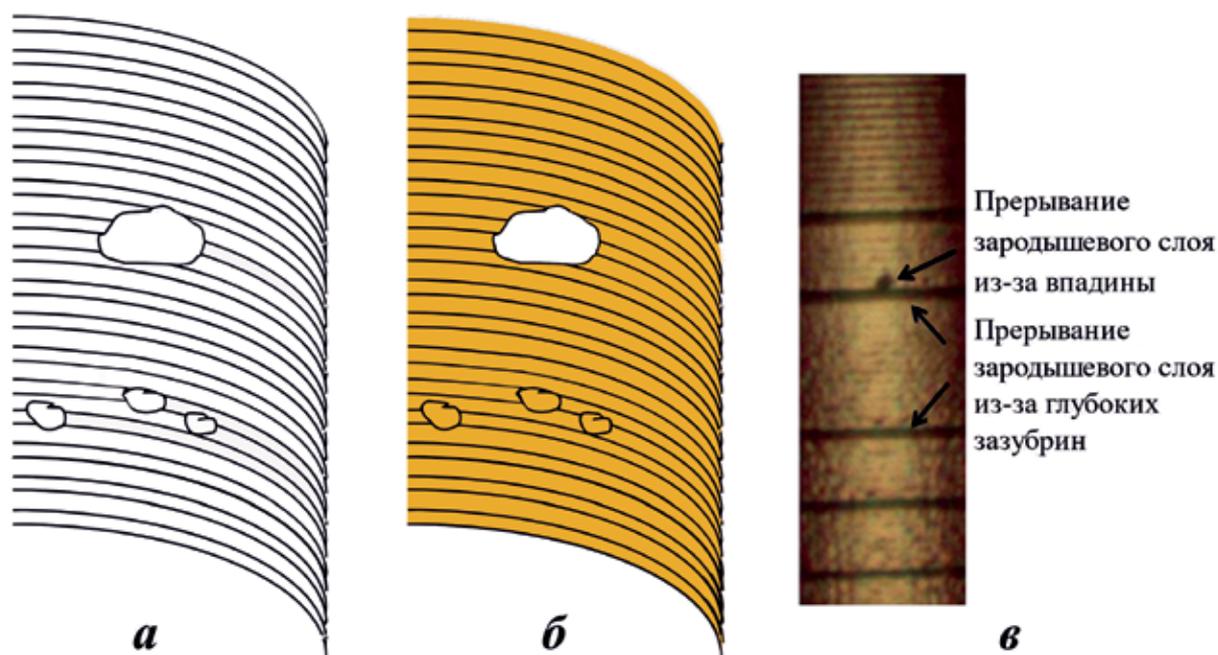


Рис.3.15. Механизм, вызывающий потерю затравочного слоя Cu из-за губчатых структур и глубоких шероховатостей:  
*а* — после травления Si; *б* — после осаждения затравочного слоя Cu;  
*в* — микроскопическое изображение затравочного слоя Cu, осаждённого на TSV, размером 60 × 250 мкм [45].

Нарушения заполнения отверстий медью, вызванные губкообразными дефектами, также могут привести к отсутствию электрического контакта (рис. 3.16). Ещё одной причиной возникновения дефектов может быть окисление или плохое нанесение затравочного слоя Cu.

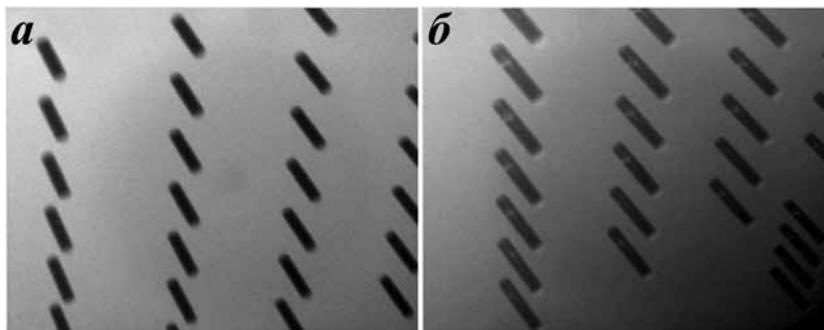


Рис.3.16. Рентгеновские снимки TSV после гальванического покрытия Cu: *a* — TSV без дефектов заполнения Cu; *б* –TSV с дефектами заполнения Cu, вызванными прерываниями затравочного слоя Cu из-за губкообразных дефектов в TSV размером  $30 \times 150$  мкм [45].

Из-за окисления затравочного слоя меди через 10 дней после осаждения PVD-Cu может начаться образование пустот в верхней области TSV [45]. Этот эффект демонстрирует, что оксид меди уменьшает реальную площадь покрытия отверстий затравочным слоем Cu, что влияет на конечный результат (рис. 3.17).

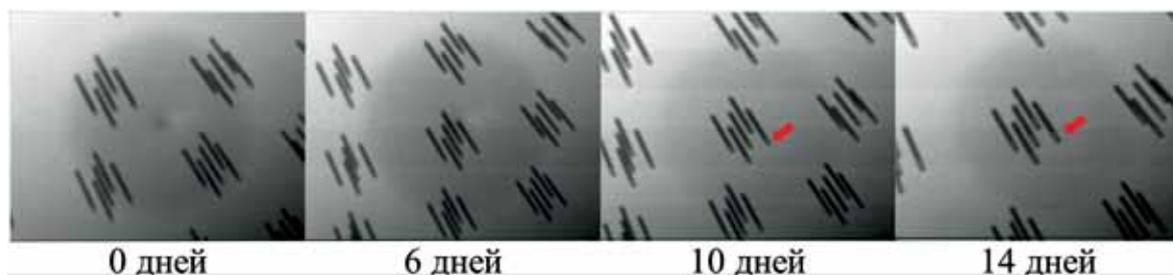


Рис.3.17. Рентгеновские снимки, показывающие состояние затравочного слоя меди в TSV размером  $10 \times 100$  мкм, в течение 14 дней после осаждения [45]

Наконец, чтобы предотвратить дефекты гальванического заполнения Cu, важно оптимизировать как химическую концентрацию трёх добавок, так и плотность тока в процессе электрохимического осаждения. Таким образом, формирование TSV без пустот может быть достигнуто путем предотвращения образования известных видов дефектов на соответствующих этапах изготовления.

### 3.10. Различные методы дебондинга

Для формирования межсоединений ключевых элементов в интегральной схеме (в вертикальной плоскости) используют пластины-переходники-интерпозеры. Например, в СВЧ-технике интерпозер соединяет малошумящий усилитель и защитное устройство. Как правило, интерпозер представляет собой тонкую пластину толщиной около 100 мкм с массивом TSV. Для формирования интерпозера применяют технологию временного бондинга, чтобы временно повысить жёсткость тонкой пластины.

Технология временного бондинга позволяет производителям обрабатывать тонкие пластины так же, как если бы они были стандартными и полноразмерными. По завершении обработки пластина отделяется от носителя; далее ультратонкие чипы могут быть корпусированы.

К недостаткам технологии можно отнести прогиб и коробление ультратонких пластин из-за внутренних напряжений, возникающих в процессе временного бондинга. Склеивающие материалы должны выдерживать высокие температуры в процессах осаждения металлов, а также химические воздействия в операциях травления пластин. Но самая большая проблема состоит в разделении ультратонкой рабочей пластины и носителя по завершении операций обработки с сохранением механической целостности тонкой пластины. Эти проблемы решаются применением одного из подходов дебондинга. Во всех случаях рабочая пластина сначала прикрепляется к носителю, затем утоняется и обрабатывается. Основное различие между системами состоит в методе разделения пластин.

В подходе с химическим разделением используется перфорированный носитель, позволяющий специальной жидкости растворять связующий материал, высвобождая таким образом пластину (рис. 3.18) [85]. Стоимость жидкостного химического травителя достаточно низкая и позволяет малым компаниям использовать данный способ разделения пластин.

Известен способ временного бондинга с термическим разделением методом сдвига [86]. Пластина высвобождается от носителя благодаря изначальному нагреву пластин и затем сдвиганию пластин относительно друг друга (рис. 3.19). Применение этого процесса значительно увеличивает выход годных по сравнению с процессом химического разделения.

Существует способ временного бондинга в виде лазерного разделения [87]. В этом способе быстрое отделение пластины от носителя обеспечивается благодаря засветке специального разделительного слоя эксимерным лазером. Система лазерного разделения обеспечивает быстрое разделение пары пластин с малым количеством напряжений. Производственные мощности позволяют выпускать до 50 пластин в час.

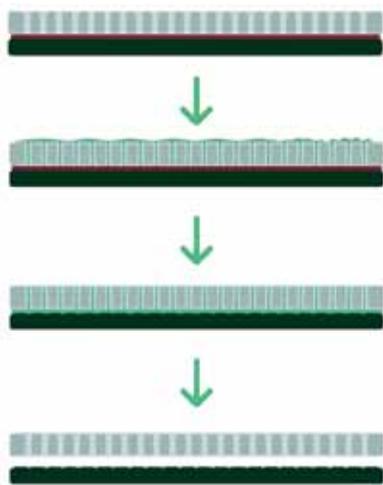


Рис.3.18. Метод химического дебондинга.

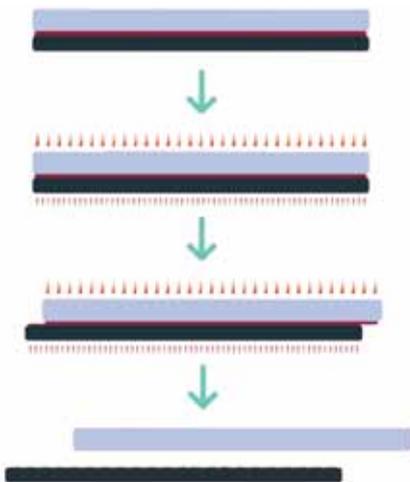


Рис. 3.19. Дебондинг по методу термосдвига.

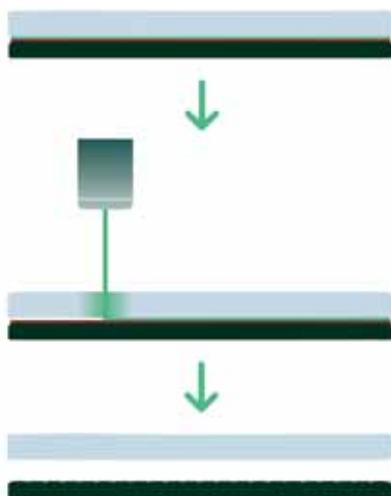


Рис. 3.20. Метод лазерного дебондинга.

Также известна система механического дебондинга для удовлетворения потребности в разделении пластин при комнатной температуре без использования лазеров и химических реактивов [88]. В этой системе используется подготовленный носитель, обеспечивающий необходимую адгезию для поддержки рабочей пластины, которая также может быть впоследствии механически легко отсоединена. Материалы для бондинга, используемые в этой системе, способны выдерживать высокие температуры, возникающие в процессах обработки пластин. К достоинствам метода механического дебондинга можно отнести следующие особенности: не требует применения химических реактивов или высоких температур для разделения, меньшая стоимость по сравнению с системой лазерного дебондинга, пластина-носитель может быть изготовлена из различных материалов. В настоящее время в Центре коллективного пользования «Микросистемная техника и электронная компонентная база» МИЭТ имеется полный технологический цикл временного бондинга с механическим разделением тонкой рабочей пластины и пластины-носителя.

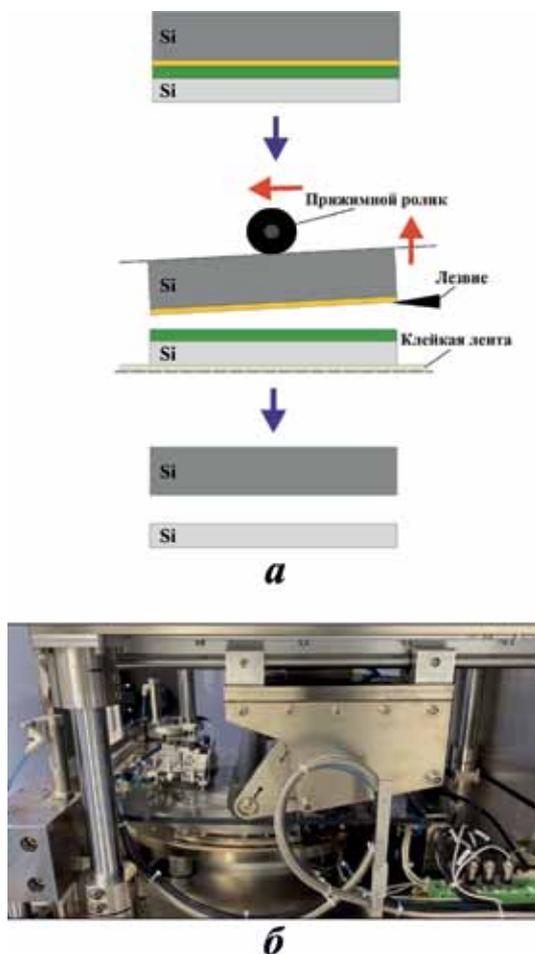


Рис.3.21. Метод механического дебондинга:  
а — схема метода; б — установка дебондинга

В МИЭТ обрабатывают пластины диаметром 150 мм и толщиной не менее 50 мкм при сохранении механической целостности.

## **Выводы**

В работе рассмотрены технологии, применяемые с целью изготовления TSV для задач трёхмерной микросборки. Описаны параметры основных процессов, особенности заполнения отверстий медью для различных применений и виды дефектов, которые могут при этом возникать. Разработаны методы формирования диэлектрического, барьерного и затравочного слоёв для уменьшения шероховатости боковых стенок отверстий и решения проблемы неравномерного нанесения затравочного слоя меди с целью обеспечения дальнейшего качественного электрохимического осаждения меди в TSV.

Сформированы требования, предъявляемые к ключевым технологическим операциям. Показана важность формирования отверстий с малой величиной шероховатости поверхности, возникающих в процессе плазмохимического травления кремния. Критериями оценки качества диэлектрического слоя, ближайшего к Si, является конформность и однородность, а также воспроизводимость процесса при низкой температуре осаждения. К барьерному, зародышевому и проводящему слоям предъявляются аналогичные требования. Таким образом, для изготовления текущего слоя с высокой равномерностью по толщине необходимо формировать поверхность предыдущего слоя с малой величиной шероховатости.

В настоящей главе описаны три разновидности процессов заполнения TSV медью: конформное нанесение, герметизация бампами для упрощения процесса металлизации и проведения беспустотного заполнения снизу вверх, и создание суперконформного покрытия, используемого для изготовления интерпозеров и устройств. Перечислены возможные причины возникновения пустот, которые могут привести к отсутствию электрических контактов и проблемам с надёжностью. Приведены технологические решения проблемы термического напряжения, вызванного разницей коэффициентов теплового линейного расширения материала металла и близлежащих слоёв.

Рассмотрены подходы к разделению пластин по технологии временного бондинга: жидкостный химический дебондинг, метод термосдвига, лазерный дебондинг и механический дебондинг. Наиболее перспективным методом является механический дебондинг, позволяющий проводить операции при комнатной температуре в отсутствие вредных химических реактивов и дорогостоящего лазерного оборудования и отсутствия жёстких требований к материалу пластины-носителя.

**Поддержка.** Данная работа выполнена при финансовой поддержке Российского Научного Фонда (грант № 24-22-00443).

## Литература:

1. Koester S. J. et al. Wafer-level 3D integration technology //IBM Journal of Research and Development. — 2008. — Т. 52. — №. 6. — С. 583-597.
2. Chen K. N., Tan C. S. Integration schemes and enabling technologies for three-dimensional integrated circuits //IET Computers & Digital Techniques. — 2011. — Т. 5. — №. 3. — С. 160-168.
3. Lau J. H. Recent advances and new trends in nanotechnology and 3D integration for semiconductor industry //2011 IEEE International 3D Systems Integration Conference (3DIC), 2011 IEEE International. — IEEE, 2012. — С. 1-23.
4. Liu D., Park S. Three-dimensional and 2.5 dimensional interconnection technology: State of the art //Journal of Electronic Packaging. — 2014. — Т. 136. — №. 1. — С. 014001.
5. Fomichev M.Y., Makhaboroda M.A., Djuzhev N.A., Dedkova A.A., Gusev E.E., Development of adhesive wafer bonding technology //2021 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (ElConRus). — IEEE, 2021. — С. 2558-2562.
6. Djuzhev N. A., Makhaboroda M. A., Gusev E. E., Fomichev M. U., Dedkova A. A., Ivanin P. S., Investigation of the influence of the parameters of the temporary bonding and thinning operations on the bending of silicon wafers //International Conference on Micro-and Nano-Electronics 2021. — SPIE, 2022. — Т. 12157. — С. 278-283.
7. Ranade A. P., Havens R., Srihari K. The application of through silicon vias (or TSVs) for high power and temperature devices //Fourteenth Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm). — IEEE, 2014. — С. 1270-1278.
8. Stiebing M. et al. Challenges in the reliability of 3D integration using TSVs //2015 16th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems. — IEEE, 2015. — С. 1-8.
9. Ayón A. A. et al. Characterization of a time multiplexed inductively coupled plasma etcher //Journal of the electrochemical Society. — 1999. — Т. 146. — №. 1. — С. 339.
10. Ham Y. H. et al. Dual etch processes of via and metal paste filling for through silicon via process //Thin Solid Films. — 2011. — Т. 519. — №. 20. — С. 6727-6731.
11. Blauw M. A. et al. Advanced time-multiplexed plasma etching of high aspect ratio silicon structures //Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena. — 2002. — Т. 20. — №. 6. — С. 3106-3110.

12. Voss L. F. et al. Smooth Bosch etch for improved Si diodes //IEEE electron device letters. — 2013. — T. 34. — №. 10. — C. 1226-1228.
13. Craigie C. J. D. et al. Polymer thickness effects on Bosch etch profiles // Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena. — 2002. — T. 20. — №. 6. — C. 2229-2232.
14. Kenoyer L., Oxford R., Moll A. Optimization of Bosch etch process for through wafer interconnects //Proceedings of the 15th Biennial University/Government/Industry Microelectronics Symposium (Cat. No. 03CH37488). — IEEE, 2003. — C. 338-339.
15. Rudy A. S., Morozov O. V., Kurbatov S. V. A modernized Bosch etching process for the formation of tapered structures on a silicon surface //Journal of Surface Investigation: X-ray, Synchrotron and Neutron Techniques. — 2021. — T. 15. — №. 3. — C. 461-466.
16. Guo W. et al. Impact of through silicon via induced mechanical stress on fully depleted bulk FinFET technology //2012 International Electron Devices Meeting. — IEEE, 2012. — C. 18.4. 1-18.4. 4.
17. Dinh Q., Kondo K., Hirato T. Reduction of TSV Pumping //2019 International 3D Systems Integration Conference (3DIC). — IEEE, 2019. — C. 1-4.
18. Yan Y. et al. Multi-chip Stacking with Fine Pitch  $\mu$ bumps and TSVs for Heterogeneous Integration //2020 21st International Conference on Electronic Packaging Technology (ICEPT). — IEEE, 2020. — C. 1-4.
19. Shen, Wen-Wei & Chen, Kuan-Neng. (2017). Three-Dimensional Integrated Circuit (3D IC) Key Technology: Through-Silicon Via (TSV). Nanoscale Research Letters. 12. DOI: 10.1186/s11671-017-1831-4
20. Chen, Cool X.M. & Loh, Woon & Chui, K. & Mao, Ying & Wickramanayana, Sunil. (2015). CMP process optimization on temporary-bonded wafer for via-last through-silicon-via from backside. 1-4. DOI: 10.1109/EPTC.2015.7412401
21. Zhang, Jie & Ding, Ye & Wei, Wei & Li, Hangxu & Li, Zhenjie & Ji, Xiaolu & Jing, Xiaoping & He, Cong & Cao, LiQiang & Jiang, Xiaoshan & Zhu, Kejun & Liu, Peng & Chen, Yuanbo. (2020). The TSV process in the hybrid pixel detector for the High Energy Photon Source. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment. 980. 164425. DOI: 10.1016/j.nima.2020.164425
22. Dukovic, John & Ramaswami, S. & Pamarthy, S. & Yalamanchili, R. & Rajagopalan, N. & Sapre, K. & Cao, Z. & Ritzdorf, Tom & Wang, Y. & Eaton, Brad & Ding, R. & Hernandez, M. & Naik, Mehul & Mao, D. & Tseng, J. & Cui, D. & Mori, Glen & Fulmer, P. & Sirajuddin, K. & Luo, L.. (2010). Through-silicon-via technology for 3D integration. 1-2. DOI: 10.1109/IMW.2010.5488399

23. Wang, Lu & Cai, Jian & Wang, Qian & Hu, Yang & Zhang, Wenqi. (2015). Electroplating Cu on ALD TiN for high aspect ratio TSV. 676-680. DOI: 10.1109/ICEPT.2015.7236676
24. Ko, Cheng-Ta & Chen, Kuan-Neng. (2013). Reliability of key technologies in 3D integration. *Microelectronics Reliability*. 53. 7-16. DOI: 10.1016/j.microrel.2012.08.011
25. Mariappan, Murugesan & Mori, K. & Kojima, T. & Hashimoto, H. & Bea, J.C. & Fukushima, Tak & Koyanagi, M.. (2020). Nano Ni/Cu-TSVs with an Improved Reliability for 3D-IC Integration Application. 1-5. DOI: 10.1109/ASMC49169.2020.9185397
26. Jourdain, A. & Schleicher, Filip & De Vos, Joeri & Stucchi, Michele & Chery, Emmanuel & Miller, Andy & Beyer, Gerald & Plas, Geert & Walsby, Edward & Roberts, Kerry & Ashraf, Huma & Thomas, Dave & Beyne, Eric. (2020). Extreme Wafer Thinning and nano-TSV processing for 3D Heterogeneous Integration. 42-48. DOI: 10.1109/ECTC32862.2020.00020
27. Bauer, J. & Fursenko, Oksana & Marschmeyer, S. & Heinrich, Friedhelm & Villasmunta, Francesco & Villringer, Claus & Zesch, Christoph & Schrader, Sigurd. (2019). Spectroscopic reflectometry for characterization of Through Silicon Via profile of Bosch etching process. *Journal of Vacuum Science & Technology B*. 37. 062205. DOI: 10.1116/1.5120617
28. Zhang, Junhong & Luo, Wei & Li, Yi & Gao, Liming & Li, Ming. (2015). Wetting process of copper filling in through silicon vias. *Applied Surface Science*. 359. DOI: 10.1016/j.apsusc.2015.10.214
29. Buchanan, Keith & Burgess, Stephen & Giles, Kathrine & Muggeridge, Matthew & Zhao, Hao. (2009). Etch, dielectrics and metal barrier-seed for low temperature through-silicon via processing. 1-4. DOI: 10.1109/3DIC.2009.5306552
30. Redolfi, A. & Velenis, Dimitrios & Thangaraju, Savithry & Nolmans, P. & Jaenen, P. & Kostermans, M. & Baier, U. & Van Besien, Els & Dekkers, Hendrik & Witters, T. & Jourdan, Nicolas & Ammel, A. & Vandersmissen, Kevin & Rodet, S. & Philipsen, Harold & Radisic, A. & Heylen, Nancy & Travaly, Y. & Swinnen, Bart & Beyne, Eric. (2011). Implementation of an Industry Compliant,  $5 \times 50 \mu\text{m}$ , Via-Middle TSV Technology on 300 mm Wafers. *Proceedings-Electronic Components and Technology Conference*. DOI: 10.1109/ECTC.2011.5898692
31. Gambino, Jeffrey & Doan, T. & Trapasso, J. & Musante, Charles & Dang, D. & Vanslette, D. & Grant, D. & Marx, D. & Dudley, R.. (2013). Through-silicon-via process control in manufacturing for SiGe power amplifiers. *Electronic Components and Technology Conference*. 221-226. DOI: 10.1109/ECTC.2013.6575575
32. Luo, Wei & Zhang, Junhong & Li, Yi & Gao, Liming & Li, Ming. (2016). Pretreatment to assure the copper filling in through-silicon vias. *Journal of Materials Science: Materials in Electronics*. 27. DOI: 10.1007/s10854-016-4723-y

33. Ham, Yong-Hyun & Kim, Dongpyo & Baek, Kyu-Ha & Park, Kunsik & Kim, Moonkeun & Kwon, Kwang-Ho & Lee, Kijun & Do, Lee-Mi. (2012). Metal/Dielectric Liner Formation by a Simple Solution Process for through Silicon via Interconnection. *Electrochemical and Solid-State Letters*. 15. H145. DOI: 10.1149/2.esl113678
34. Spiesshoefer, S. & Rahman, Ziaur & Vangara, G. & Polamreddy, S. & Burkett, Susan & Schaper, L.. (2005). Process integration for through-silicon vias. *Journal of Vacuum Science & Technology A — J VAC SCI TECHNOL A*. 23. 824-829. DOI: 10.1116/1.1864012
35. Civale, Y. & Armini, Silvia & Philipsen, Harold & Redolfi, Augusto & Velenis, Dimitrios & Croes, Kristof & Heylen, Nancy & El-Mekki, Zaid & Vandersmissen, Kevin & Beyer, Gerald. (2012). Enhanced Barrier Seed Metallization for Integration of High-Density High Aspect-Ratio Copper-Filled 3D Through-Silicon Via Interconnects. *Proceedings — Electronic Components and Technology Conference*. DOI: 10.1109/ECTC.2012.6248928
36. Garrou P, Bower C, Ramm P (2011) *Handbook of 3D integration: volume 1—technology and applications of 3D integrated circuits*, John Wiley & Sons
37. Zhang D, Smith D, Kumarapuram G, Giridharan R, Kakita S, Rabie MA, Feng P, Edmundson H, England L (2015) Process development and optimization for 3  $\mu\text{m}$  high aspect ratio via-middle through-silicon vias at wafer level. *IEEE Trans Semicond Manuf* 28:454-460
38. Ranganathan, Nagarajan & Lee, Da & Youhe, Liu & Lo, Guo-Qiang & Prasad, Krishnamachar & Pey, Kin. (2011). Influence of Bosch Etch Process on Electrical Isolation of TSV Structures. *Components, Packaging and Manufacturing Technology, IEEE Transactions on*. 1. 10.1109/TCPMT.2011.2160395.
39. Okoro, C., & Obeng, Y. S. (2012). Effect of thermal cycling on the signal integrity and morphology of TSV isolation liner- SiO<sub>2</sub>. *2012 IEEE International Interconnect Technology Conference*. DOI: 10.1109/iitc.2012.6251582
40. Civale Y. et al. Spin-on dielectric liner TSV for 3D wafer level packaging applications //2010 IEEE International Interconnect Technology Conference. — IEEE, 2010. — C. 1-3.
41. Civale Y. et al. Highly-conformal plasma-enhanced atomic-layer deposition silicon dioxide liner for high aspect-ratio through-silicon via 3D interconnections //2012 4th Electronic System-Integration Technology Conference. — IEEE, 2012. — C. 1-4.
42. Inoue F. et al. Formation of electroless barrier and seed layers in a high aspect ratio through-Si vias using Au nanoparticle catalyst for all-wet Cu filling technology //Electrochimica Acta. — 2011. — T. 56. — №. 17. — C. 6245-6250.
43. Inoue F. et al. Highly adhesive electroless barrier/Cu-seed formation for high aspect ratio through-Si vias //Microelectronic engineering. — 2013. — T. 106. — C. 164-167.

44. Chen J. et al. Physicochemical effects of seed structure and composition on optimized TSV fill performance //2015 IEEE 65th Electronic Components and Technology Conference (ECTC). — IEEE, 2015. — С. 566-572.
45. Hara, Yukihiro & Webb, Eric & Sukamto, John & Mariappan, Murugesan & Fukushima, Tak & Kodera, Masako. (2019). Impact of Seed Layers on TSV Filling by Electrochemical Deposition. 10.7567/SSDM.2019.J-2-02.
46. Civale, Y. & Armini, Silvia & Philipsen, Harold & Redolfi, Augusto & Velenis, Dimitrios & Croes, Kristof & Heylen, Nancy & El-Mekki, Zaid & Vandersmissen, Kevin & Beyer, Gerald. (2012). Enhanced Barrier Seed Metallization for Integration of High-Density High Aspect-Ratio Copper-Filled 3D Through-Silicon Via Interconnects. Proceedings — Electronic Components and Technology Conference. 10.1109/ECTC.2012.6248928.
47. Wong, S. & Ryu, Changsup & Lee, Haebum & Loke, Alvin & Kwon, Kee-Won & Bhattacharya, Som & Eaton, Rory & Faust, Rick & Mikkola, Bob & Mucha, Jay & Orm, John. (1999). Barrier/Seed Layer Requirements for Copper Interconnects. Proceedings of the IEEE 1998 International Interconnect Technology Conference. 10.1109/IITC.1998.704764.
48. Henry D, Jacquet F, Neyret M, Baillin X, Enot T, Lapras V, Brunet-Manquat C, Charbonnier J, Aventurier B, Sillon N (2008) Through silicon vias technology for CMOS image sensors packaging. Electronic Components and Technology Conference (ECTC): 556-562
49. Gagnard X, Mourier T (2010) Through silicon via: from the CMOS imager sensor wafer level package to the 3D integration. Microelectron Eng 87:470-476
50. Saadaoui M, Wien W, Zeijl HV, Schellevis H, Laros M and Sarro PM (2007) Local sealing of high aspect ratio vias for single step bottom-up copper electroplating of through wafer interconnects. IEEE Sensors conference: 974-977
51. Chiang CH, Kuo LM, Hu YC, Huang WC, Ko CT, Chen KN (2013) Sealing bump with bottom-up Cu TSV plating fabrication in 3-D integration scheme. IEEE Electron Device Lett 34:671-673
52. Kobayashi K, Sano A, Akahoshi H, Itabashi T, Haba T, Fukada S, Miyazaki H (2000) Trench and via filling profile simulations for copper electroplating process. IEEE International Interconnect Technology Conference: 34-36
53. Chiu YD, Dow WP, Huang SM, Yau SL, Lee YL (2011) Sensitivity enhancement for quantitative electrochemical determination of a trace amount of accelerator in copper plating solutions. J Electrochem Soc 158:D290-D297
54. Huynh TMT, Hai NTM, Broekmann P (2013) Quasireversible interaction of MPS and chloride on Cu(1 0 0) studied by in situ STM. J Electrochem Soc 160:D3063-D3069
55. Zheng Z, Stephens RM, Braatz RD, Alkire RC, Petzold LR (2008) A hybrid multiscale kinetic Monte Carlo method for simulation of copper electrodeposition. J Comput Phys 227:5184-5199

56. Dow WP, Liu CW (2006) Evaluating the filling performance of a copper plating formula using a simple galvanostat method. *J Electrochem Soc* 153:C190-C194
57. Tan CS, Chen KN, Koester SJ (2012) 3D intergration for VLSI systems. 92
58. Tan CS, Chen KN, Koester SJ (2012) 3D intergration for VLSI systems. 241
59. Chang HH, Shih YC, Hsu CK, Hsiao ZC, Chiang CW, Chen YH, Chiang KN (2008) TSV process using bottom-up Cu electroplating and its reliability test. *Electron Systeminteg Technol Conf*:645-650
60. Aibin Y, Lau JH, Soon WH, Kumar A, Hnin WY, Lee WS, Jong MC, Sekhar VN, Kripesh V, Pinjala D, Chen S, Chan CF, Chao CC, Chiu CH, Hunag CM, Chen C (2011) Fabrication of high aspect ratio TSV and assembly with fine-pitch low-cost solder microbump for Si interposer technology with high-density interconnects. *IEEE Trans Compon Packag Manuf Technol* 1:1336-1344
61. Hofmann L. et al. Investigations regarding Through Silicon Via filling for 3D integration by Periodic Pulse Reverse plating with and without additives // *Microelectronic Engineering*. — 2011. — T. 88. — №. 5. — C. 705-708.
62. Dow W. P. et al. Influence of convection-dependent adsorption of additives on microvia filling by copper electroplating // *Journal of The Electrochemical Society*. — 2005. — T. 152. — №. 6. — C. 425.
63. Moffat T. P., Yang L. Y. O. Accelerator surface phase associated with superconformal Cu electrodeposition // *Journal of The Electrochemical Society*. — 2010. — T. 157. — №. 4. — C. D228.
64. Matsuoka T. et al. Inverse analysis of accelerator distribution in copper through silicon via filling // *Electrochimica Acta*. — 2012. — T. 82. — C. 356-362.
65. Kim M. J. et al. Cu bottom-up filling for through silicon vias with growing surface established by the modulation of leveler and suppressor // *Journal of the Electrochemical Society*. — 2013. — T. 160. — №. 12. — C. D3221.
66. Chiu Y. D., Dow W. P. Accelerator screening by cyclic voltammetry for microvia filling by copper electroplating // *Journal of The Electrochemical Society*. — 2013. — T. 160. — №. 12. — C. D3021.
67. Kondo K. et al. High-aspect-ratio copper-via-filling for three-dimensional chip stacking: II. Reduced electrodeposition process time // *Journal of the Electrochemical Society*. — 2005. — T. 152. — №. 11. — C. H173.
68. Hayashi T. et al. Correlation between filled via and produced cuprous ion concentration by reverse current waveform // *Journal of The Electrochemical Society*. — 2013. — T. 160. — №. 6. — C. D256.
69. Hong S. C. et al. Reduction of defects in TSV filled with Cu by high-speed 3-step PPR for 3D Si chip stacking // *Microelectronics Reliability*. — 2011. — T. 51. — №. 12. — C. 2228-2235.

70. Moffat T. P., Josell D. Extreme bottom-up superfilling of through-silicon vias by damascene processing: suppressor disruption, positive feedback and turing patterns //Journal of The Electrochemical Society. — 2012. — Т. 159. — №. 4. — С. D208.

71. Zhang Y. et al. Optimization of innovative approaches to the shortening of filling times in 3D integrated through-silicon vias (TSVs) //Journal of Micromechanics and Microengineering. — 2015. — Т. 25. — №. 4. — С. 045009.

72. Chen J. C. et al. Effects of slurry in Cu chemical mechanical polishing (CMP) of TSVs for 3-D IC integration //IEEE transactions on components, packaging and manufacturing technology. — 2012. — Т. 2. — №. 6. — С. 956-963.

73. Yuwen, Hui-Hui & Zhang, Xin-Ping. (2016). Numerical simulation of the TSV-Cu filling by electroplating process with the accelerator and suppressor. 721-726. 10.1109/ICEPT.2016.7583233.

74. Choi, Jae Woong & Guan, Ong & Yingjun, Mao & Jieli, Xie & Lan, Chow & Kim, Soon-Wook & Murthy, Ramana & Kiat, Eugene & Wickramanayaka, Sunil. (2013). Effect of Cu seed layer aging on Cu filling failure in through Si vias (TSVs). 420-423. 10.1109/EPTC.2013.6745755.

75. Choi, Eun-Hey & Lee, Youn Seoung & Rha, Sa-Kyun. (2012). Effects of Current Density and Organic Additives on via Copper Electroplating for 3D Packaging. Korean Journal of Materials Research. 22. 10.3740/MRSK.2012.22.7.374.

76. Gusev E. E. et al. Experimental Study Mechanical Stresses and Strength in Multilayer PECVD SiO<sub>2</sub> //2021 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (ElConRus). — IEEE, 2021. — С. 2437-2441.

77. Novak A. V. et al. Dependence of mechanical stresses in silicon nitride films on the mode of plasma-enhanced chemical vapor deposition //Semiconductors. — 2018. — Т. 52. — С. 1953-1957.

78. Dyuzhev, N.A., Gusev, E.E. et. al., Fabrication and Study of Parameters and Properties of Nanostructured Membranes for MEMS Devices //Nanotechnologies in Russia. — 2017. — Т. 12. — С. 426-437

79. Djuzhev, N.A., Gusev, E.E., Dedkova, A.A., Makhaboroda, M.A., Non-destructive method of surface mapping to improve accuracy of mechanical stresses measurements //IOP Conference Series: Materials Science and Engineering. — IOP Publishing, 2018. — Т. 289. — №. 1. — С. 012007.

80. Ji L, Jing X, Xue K, Xu C, He H, Zhang W (2014) Effect of annealing after copper plating on the pumping behavior of through silicon vias. In International Conference on Electronic Packaging Technology:101-104

81. Malta D. et al. Characterization of thermo-mechanical stress and reliability issues for Cu-filled TSVs //2011 IEEE 61st Electronic Components and Technology

Conference (ECTC). — IEEE, 2011. — С. 1815-1821.

82. Heryanto A, Putra WN, Trigg A, Gao S, Kwon WS, Che FX, Ang XF, Wei J, Made R, Gan CL, Pey KL (2012) Effect of copper TSV annealing on via protrusion for TSV wafer fabrication. *J Electron Mater* 41:2533-2542

83. Xiangmeng Jing, Hongwen He, Liang Ji, “Effect of Thermal Annealing on TSV Cu Protrusion and Local Stress”, *Electronic Components and Technology Conf*, May2013, pp. 461-466.

84. Choi JW, Guan OL, Yingjun M, Mohamad Yusoff HB, Jieli X, Lan CC, Loh WL, Lau BL, Hwee Hong LL, Kian LG, Murthy R, SweeKiat ET (2014) TSV Cu filling failure modes and mechanisms causing the failures. *IEEE Trans Compon Packag Manuf Technol* 4:581-587

85. Mo, Zihao & Wang, Fangcheng & Li, Jinhui & Liu, Qiang & Zhang, Guoping & Li, Weimin & Yang, Chunlei & Sun, Rong. (2023). Temporary Bonding and Debonding in Advanced Packaging: Recent Progress and Applications. *Electronics*. 12. 1666. 10.3390/electronics12071666.

86. S. Oldeide, R. Beckmann, L. Giai-Miniet and K. Reitingier, «Thermal Debonding and Warpage Adjust of FOWLP — A Crucial Step in the Evolution of Advanced Packaging?», 2018 International Wafer Level Packaging Conference (IWLPC), San Jose, CA, USA, 2018, pp. 1-6, doi: 10.23919/IWLPC.2018.8573267

87. Uhrmann, Thomas & Urban, Peter & Wimplinger, M. & Považay, Boris & Bravin, Julian & Thallner, Bernd. (2023). Novel IR Laser Debonding for Heterogeneous and 3D Integration. *IMAPSource Proceedings*. 2023. 10.4071/001c.90230.

88. Fomichev, Michael & Makhaboroda, Maksim & Djuzhev, Nikolay & Dedkova, A. & Gusev, E. (2021). Development of Adhesive Wafer Bonding Technology. 2558-2562. 10.1109/ElConRus51938.2021.9396080.

## THE MAIN TECHNOLOGICAL OPERATIONS OF TSV MANUFACTURING

Fomichev M.Y.<sup>1</sup>, Ivanin P.S.<sup>1,2</sup>, Bepalov V.A.<sup>1</sup>,  
Makhiboroda M.A.<sup>1</sup>, Gusev E.E.<sup>1,2</sup>, Djuzhev N.A.<sup>1</sup>

<sup>1</sup>*National Research University of Electronic Technology*

<sup>2</sup>*Voronezh State University of Forestry and Technologies named after G. F. Morozov*

Received 05.11.2024

3D integration with through-silicon via (TSV) is a promising candidate to perform system-level integration with smaller package size, higher interconnection density, and better performance. TSV fabrication is the key technology to permit communications between various strata of the 3D integration system. TSV fabrication steps, such as etching, isolation, metallization processes, and related failure modes, as well as other characterizations are discussed in this paper.

*Keywords: dielectric layer, barrier layer, nucleation layer, electrochemical deposition, through vias in silicon.*